

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-040786

(43)Date of publication of application : 12.02.1999

(51)Int.CI.

H01L 27/12
H01L 21/265

(21)Application number : 09-194163

(71)Applicant : DENSO CORP

(22)Date of filing : 18.07.1997

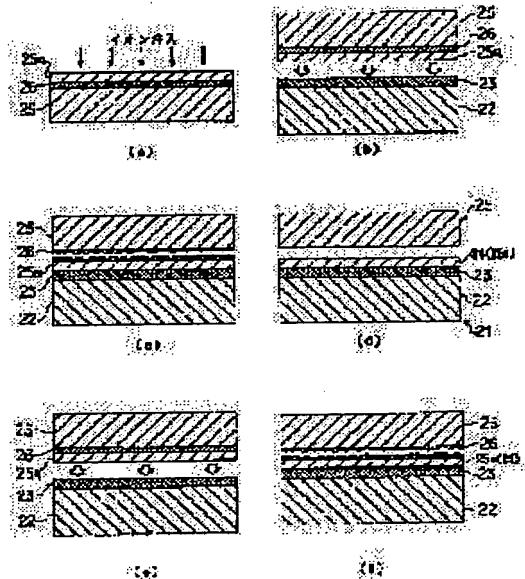
(72)Inventor : ONODA KUNIHIRO
YAMAUCHI SHOICHI
MATSUI MASAKI
OSHIMA HISAZUMI
OOKA TADAO
YAMANAKA AKITOSHI

(54) SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To sufficiently reduce the cost of a semiconductor substrate where a single crystal semiconductor layer is provided on a base substrate.

SOLUTION: By injecting the ions of hydrogen gas into a lamination substrate 25 consisting of a high-quality single crystal silicon substrate, a defective layer 26 for releasing is formed on the surface while a single crystal thin-film layer 25a is secured. Then, the lamination substrate 25 is laminated to a base substrate 22 consisting of a single crystal silicon substrate with poorer quality than the lamination substrate 25 via an insulation film 23 and is successively released by the defective layer 26. After that, a high-temperature annealing and the surface polishing of the release surface are performed, thus obtaining a semiconductor substrate 21 with a single crystal semiconductor layer 24 on the base substrate 22 via the insulation film 23. The lamination substrate 25 through a release process is repeatedly used by flattening the surface and a new single crystal silicon with the same material is laminated to form the new lamination substrate 25 when the thickness is reduced to a specific value or less.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-40786

(43)公開日 平成11年(1999)2月12日

(51)Int.Cl.⁶

H 01 L 27/12
21/265

識別記号

F I

H 01 L 27/12
21/265

B
Q

審査請求 未請求 請求項の数6 O.L (全8頁)

(21)出願番号 特願平9-194163

(22)出願日 平成9年(1997)7月18日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 小野田 邦広

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74)代理人 弁理士 佐藤 強

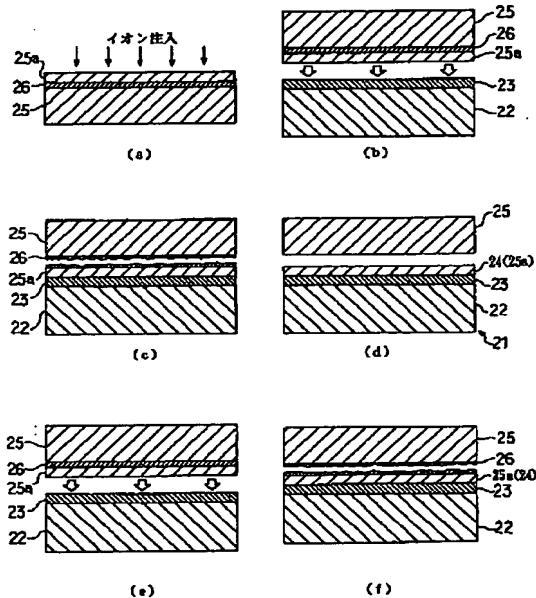
最終頁に続く

(54)【発明の名称】 半導体基板及びその製造方法

(57)【要約】

【課題】 ベース基板上に単結晶半導体層を設けたものにあって、十分なコストダウンを図る。

【解決手段】 高品質の単結晶シリコン基板からなる貼合せ基板25に対する水素ガスのイオン注入により、所定深さ位置に、表面に単結晶薄膜層25aを確保した状態で剥離用の欠陥層26を形成する。次に、貼合せ基板25よりも品質の劣る単結晶シリコン基板からなるベース基板22に対して、絶縁膜23を介して貼合せ基板25を貼合わせ、引き欠陥層26にて剥離する。この後、高温アーニール及び剥離面の表面研磨を行う。これにて、ベース基板22上に絶縁膜23を介して単結晶半導体層24を有した半導体基板21が得られる。剥離工程を経た貼合せ基板25を、表面の平坦化しながら繰返して使用し、所定厚み以下まで薄くなつたときには、同材質の新たな単結晶シリコン基板を貼合わせて新たな貼合せ基板25とする。



21:半導体基板
22:ベース基板
23:絶縁膜
24:単結晶半導体層
25:貼合せ基板
26:欠陥層

【特許請求の範囲】

【請求項1】 ベース基板(22)上に、絶縁膜(23)を介して素子形成用の単結晶半導体層(24)を貼合せにより設けてなるものであって、前記ベース基板(22)は、前記単結晶半導体層(24)よりも品質の劣る材料からなることを特徴とする半導体基板。

【請求項2】 前記ベース基板(22)は、抵抗値が製品規格から外れた単結晶半導体からなることを特徴とする請求項1記載の半導体基板。

【請求項3】 ベース基板(22)上に、絶縁膜(23)を介して素子形成用の単結晶半導体層(24)を設けてなる半導体基板(21)を製造するための方法であって、

単結晶半導体からなる貼合せ基板(25)の表面部の所定深さにイオン注入を行うことにより、該貼合せ基板(25)の表面部に単結晶半導体層(24)となるべき単結晶薄膜層(25a)を確保した状態に剥離用の欠陥層(26)を形成する欠陥層形成工程(P1)と、前記貼合せ基板(25)よりも品質の劣る材料からなるベース基板(22)に対し、前記単結晶薄膜層(25a)が形成された貼合せ基板(25)をその単結晶薄膜層(25a)の表面にて絶縁膜(23)を介して貼合せる貼合せ工程(P2)と、

前記ベース基板(22)上に貼合わされた貼合せ基板(25)を前記欠陥層(26)にて切離す剥離工程(P3)とを含むと共に、前記剥離工程を経た貼合せ基板(25)を、繰返し使用することを特徴とする半導体基板の製造方法。

【請求項4】 前記剥離工程を経た貼合せ基板(25)の表面部に対し、熱酸化又は窒化を行って酸化膜(27)又は窒化膜を形成し、その後エッチングによりその酸化膜(27)又は窒化膜を除去する工程を実行することを特徴とする請求項3記載の半導体基板の製造方法。

【請求項5】 前記貼合せ基板(25)が所定厚み以下となったときには、同材質の単結晶半導体を貼合せさせて一体化することにより、新たな貼合せ基板(25)として使用することを特徴とする請求項3又は4記載の半導体基板の製造方法。

【請求項6】 前記貼合せ基板(25)の表面部に対し、エッチング等によりイオン注入深さ以上の深さの加工を予め施すことを特徴とする請求項3ないし5のいずれかに記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ベース基板上に素子形成用の単結晶半導体層をそのベース基板との絶縁状態に設けてなる半導体基板及びその製造方法に関する。

【0002】

【発明が解決しようとする課題】 この種の半導体基板と

して、例えばシリコン基板上に絶縁膜を介してシリコン単結晶層を設けて構成されるSOI(Silicon On Insulator)基板がある。このSOI基板を製造するための方法として、例えば特開平5-211128号公報に示されるような、貼合せを用いた製造方法(本出願人において「プロトシスライス」と呼称している方法)が提案されている。

【0003】 この方法では、図5に示すように、3つの段階(工程)を経てSOI基板が製造される。即ち、第

10 1段階では、図5(a)に示すように、シリコン単結晶基板からなる第1シリコン基板1に対し、例えば水素ガスをイオン化して所定の注入エネルギーで加速して注入する工程が行われ、これにて第1シリコン基板1の所定深さ位置に欠陥層2が形成される。この場合、第1シリコン基板1のうち欠陥層2の上部の層が、最終的に得たいシリコン単結晶薄膜層1aとなる。

【0004】 次の第2段階では、図5(b)に示すように、例えばシリコン単結晶基板からなるベース基板3の上面に、上記第1シリコン基板1を上下反転した状態で

20 貼合せせる工程が行われる。このとき、前記ベース基板3の表面には予め酸化膜からなる絶縁膜4が形成されている。そして、第3段階では、図5(c)に示すように、熱処理によって、前記第1シリコン基板1からシリコン単結晶薄膜層1aを欠陥層2に沿って剥離させる工程が行われる。

【0005】 これにて、ベース基板3上に絶縁膜4を介してシリコン単結晶薄膜層1aが貼合せられた形態となり、剥離面が研磨されることにより、品質の高いシリコン単結晶薄膜層1aを有するSOI基板5が得られるの

30 である。一方、シリコン単結晶薄膜層1aが剥離された第1シリコン基板1は、図5(d)に示すように、その表面が平坦化され、絶縁膜(酸化膜)6が形成されて次のベース基板1' とされる。そして、新たなシリコン単結晶基板からなる第2シリコン基板7に対して、上記と同様にシリコン単結晶薄膜層7aを確保した状態で欠陥層8が形成された上で、ベース基板1' に対する貼合せ及び剥離が行われて、図5(e)に示すように、シリコン単結晶薄膜層7aを有するSOI基板9が得られる。

40 【0006】 さらに、シリコン単結晶薄膜層7aが剥離された第2シリコン基板7は、表面が平坦化され絶縁膜(酸化膜)10が形成されて次のベース基板7' とされる。そして、同様に、新たなシリコン単結晶基板からなり欠陥層11が形成された第3シリコン基板12が、ベース基板7' に貼合せられて剥離が行われ、シリコン単結晶薄膜層12aを有するSOI基板13が得られるのである(図5(f), (g)参照)。

【0007】 このように、シリコン単結晶薄膜層1a, 7aが剥離されたシリコン基板1, 7を、順次次のベース基板1', 7' としながら製造が繰返されることに

より、シリコン基板1、7、12を無駄なく使用することができるようになる。この場合、ベース基板とシリコン基板（シリコン単結晶薄膜層）とを同等の材料から構成することによって、熱処理中に熱膨張率の差によって生ずる反り等を未然に防止することができるのである。

【0008】しかしながら、上記従来の方法により製造されたSOI基板5、9、13にあっては、シリコン基板1、7、12を無駄なく使用することができるとはいいうものの、ベース基板3、1'、7'の材質及び、その上面に設けられるシリコン単結晶薄膜層1a、7a、12aの材質が、共に高品質なシリコン単結晶からなるため、コスト的にはさほど有利なものではなかった。従来のこの種の半導体基板（SOI基板）においては、高価であるという事情があり、大幅なコストダウンが要望されるのである。

【0009】本発明は上記事情に鑑みてなされたもので、その目的は、ベース基板上に単結晶半導体層を設けてなるものにあって、十分なコストダウンを図ることができる半導体基板及びその製造方法を提供するにある。

【0010】

【課題を解決するための手段】本発明の半導体基板は、ベース基板上に、絶縁膜を介して素子形成用の単結晶半導体層を貼合せにより設けてなるものにあって、前記ベース基板を、前記単結晶半導体層よりも品質の劣る材料から構成したところに特徴を有する（請求項1の発明）。

【0011】ここで、ベース基板上に、絶縁膜を介して素子形成用の単結晶半導体層を貼合せにより設けてなる半導体基板にあっては、ベース基板は、素子形成には関与せず単結晶半導体層を支持するために設けられるので、高品質の材料である必要はなく、また、貼合せによるものであるから、ベース基板の材質が単結晶半導体層側に影響を及ぼしてその品質を低下させるといったこともない。

【0012】従って、本発明の請求項1の半導体基板によれば、ベース基板は、単結晶半導体層よりも品質の劣る言換えればより安価な材料から構成されるので、安価に済ませることができ、この結果、従来のようなベース基板及び単結晶薄膜層の双方が高品質な材料から構成されるものと比べて、大幅なコストダウンを図ができるという実用上極めて有効な効果を得ることができるものである。

【0013】この場合、前記ベース基板を、抵抗値が製品規格から外れた単結晶半導体から構成することができ（請求項2の半導体基板）。これによれば、ベース基板を安価な材料から構成することができ、これと共に、ベース基板と単結晶半導体層（貼合せ基板）とを同等の熱膨張率を有する材料から構成することができて、熱処理における反り等の発生を未然に防止することができるようになる。また、製品規格外の単結晶半導体を製品の

一部に用いることができ、資源の有効活用を図ることができる。

【0014】そして、本発明の半導体基板の製造方法は、ベース基板上に、素子形成用の単結晶半導体層を絶縁膜を介して設けてなる半導体基板を製造するための方法であって、単結晶半導体からなる貼合せ基板の表面部の所定深さにイオン注入を行うことにより、該貼合せ基板の表層部に単結晶半導体層となるべき単結晶薄膜層を確保した状態に剥離用の欠陥層を形成する欠陥層形成工程と、前記貼合せ基板よりも品質の劣る材料からなるベース基板に対し、前記単結晶薄膜層が形成された貼合せ基板をその単結晶薄膜層の表面にて絶縁膜を介して貼合わせる貼合せ工程と、前記ベース基板上に貼合せされた貼合せ基板を前記欠陥層にて切離す剥離工程とを含むと共に、前記剥離工程を経た貼合せ基板を繰返し使用するところに特徴を有する（請求項3の発明）。

【0015】これによれば、欠陥層形成工程において、貼合せ基板の表層部に欠陥層により仕切られた形態の単結晶薄膜層が形成され、貼合せ工程において、その貼合せ基板よりも品質の劣る材料からなるベース基板に対して貼合せ基板がその単結晶薄膜層の表面にて貼合わされ、剥離工程において、貼合せ基板から欠陥層にて単結晶薄膜層が切離されるようになる。これにて、もって、貼合せ基板から前記単結晶薄膜層が切離されることによる単結晶半導体層を、品質の劣る言換えればより安価な材料からなるベース基板上に有する半導体基板が得られる。

【0016】従って、本発明の請求項3の半導体基板の製造方法によれば、ベース基板上に単結晶半導体層を設けてなる半導体基板を安価に製造することができるという優れた実用的效果を奏する。そして、単結晶薄膜層が切離された貼合せ基板は、繰返して使用に供されるので、高品質な貼合せ基板を何度も繰返して使用することができ、比較的高価となる貼合せ基板を有効に使用することができ、量産性に優れるものである。

【0017】この場合、前記剥離工程を経た貼合せ基板の表面部は、微細な凹凸（欠陥）等が生じているため、繰返し使用する際には表面を平坦化することが必要となるが、このとき、貼合せ基板の表面部に対し、熱酸化又は窒化を行って酸化膜又は窒化膜を形成し、その後エッチングによりその酸化膜又は窒化膜を除去する工程を実行すれば、より効果的となる（請求項4の発明）。これによれば、貼合せ基板の表面部に酸化膜又は窒化膜が形成されることによって、結晶内の汚染不純物や微小欠陥等がゲッタリングされ、その酸化膜又は窒化膜が除去されることにより、不純物汚染や欠陥が効果的に取除かれた表面状態が得られるようになる。

【0018】また、上記貼合せ基板は、1回の使用において少なくとも単結晶薄膜層（単結晶半導体層）及び欠陥層の分だけ厚みが減少するので、繰返し使用により次

第に厚みが薄くなって強度が低下していき、遂には使用に耐え得ない程度まで厚みが薄くなってしまうことになる。そこで、貼合せ基板が所定厚み以下となったときには、その裏面側に同材質の単結晶半導体を貼合わせて一体化することにより、新たな貼合せ基板として使用することができる（請求項5の発明）。これによれば、貼合せ基板をほとんど無駄なく使用することができるようになり、より一層のコストダウンを図ることができるものである。

【0019】ところで、この種半導体基板にあっては、素子形成のために、単結晶半導体層を所定の面積の小領域に分離することが行われるが、貼合せ基板からの分離後に、単結晶半導体層にエッチング加工を施すものは、1枚の半導体基板毎にエッチング加工を行わなければならぬため、加工回数が多くなってしまうことになる。そこで、貼合せ基板の表面部に対し、エッチング等によりイオン注入深さ以上の深さの加工を予め施すようにすることができる（請求項6の発明）。これによれば、剥離工程を行うことによって既にエッチング等の加工済みの単結晶半導体層を得ることができ、貼合せ基板に対して予め単結晶半導体層の複数枚分の深さの加工を行うことにより、貼合せ基板に対する1回の加工にて、半導体基板の複数枚に対する加工を予め行っておくことができるようになる。

【0020】

【発明の実施の形態】以下、本発明を、シリコン基板上に絶縁膜を介してシリコン単結晶層を設けたSOI (Silicon On Insulator) 基板の製造に適用した一実施例（請求項1、2、3、5に対応）について、図1及び図2を参照しながら説明する。

【0021】まず、本実施例に係る半導体基板（SOI基板）21は、図1（d）などに示すように、例えば単結晶シリコン基板（シリコンウェハ）からなるベース基板22上に、シリコン酸化膜からなる絶縁膜23を介して、シリコン単結晶からなる素子形成用の単結晶半導体層24を有して構成される。この半導体基板21は、後述する方法によって製造されるようになっている。

【0022】このとき、前記素子形成用の単結晶半導体層24は、高品質なシリコン単結晶から構成されており、これに対し、前記ベース基板22は、前記単結晶半導体層24よりも品質の劣る材料から構成されている。この場合、ベース基板22には、シリコンウェハの製造過程で抵抗値が製品規格から外れたダミーグレードと称されるものが用いられており、このダミーグレードのシリコンウェハは、正規の製品の半額程度で市販されている。尚、前記単結晶半導体層24の厚み寸法は、例えば1μmとされている。

【0023】さて、上記半導体基板21の製造方法について、以下順を追って述べる。図2は、本実施例に係る半導体基板21の製造の工程を概略的に示している。即

ち、まず、工程P1では、貼合せ基板25（図1参照）に対する欠陥層形成工程が実行される。この貼合せ基板25は、正規の高品質な単結晶シリコン基板（シリコンウェハ）からなり、初期の状態で厚さ寸法が例えば600μm程度とされている。この工程P1では、図1（a）に示すように、貼合せ基板25に対し、その表面部に例えば水素ガスをイオン化して所定の注入エネルギーで加速して注入することが行われる。

【0024】これにて、貼合せ基板25の所定深さ位置（例えば表面から1μmの位置）に、注入イオンによって剥離用の欠陥層26が形成される。また、貼合せ基板25のうち表層部には、シリコン単結晶からなる薄い単結晶薄膜層25a（後に単結晶半導体層24となる）が、前記欠陥層26によって仕切られた形態に形成されることになる。尚、前記イオン注入に用いる材料としては、水素ガス以外にも、ヘリウム、ネオン等の希ガスや、フッ素ガス、塩素ガスなどを採用することができる。

【0025】また、このとき、図示はしていないが、貼合せ基板25の表面には、イオン注入時の汚染を極力防止するための酸化膜が形成されており、イオン注入はその酸化膜を通して行われるようになっている。イオン注入により欠陥層26が形成された後、例えばHF水溶液による化学的エッチング等により、その酸化膜が除去されるようになっている。

【0026】工程P2では、上記ベース基板（シリコン基板）22に対して、貼合せ基板25を貼合わせる貼合せ工程が実行される。この工程P2では、図1（b）に示すように、ベース基板22の表面には、予め絶縁膜30（酸化膜）23が熱酸化あるいはPVD、CVD等の堆積法により予め形成されており、且つ鏡面研磨がなされている。このベース基板22に対し、貼合せ基板25が図1（a）とは上下反転された状態つまり単結晶薄膜層25aの表面にて接着される。

【0027】周知のように、この貼合せに際しては、前記ベース基板22及び貼合せ基板25の表面に対し、例えば硫酸と過酸化水素水の4:1の混合溶液による洗浄及び純水洗浄を順次行った後、スピンドル乾燥で吸着水分量を制御して貼合せ面を密着させる。これにより、ベース基板22及び貼合せ基板25は、貼合せ面に形成されたシラノール基、及び表面に吸着した水分子の水素結合によって接着されるのである。これにて、図示はしないが、ベース基板22上に絶縁膜23を介して、単結晶薄膜層25a、欠陥層26及び貼合せ基板25のバルク部分が積層された形態に一体化される。

【0028】次の工程P3では、ベース基板22に貼合せられた貼合せ基板25を前記欠陥層26にて切離す剥離工程が実行される。この工程P3は、例えば500°Cの高温熱処理を行うことにより、図1（c）に示すように、貼合せ基板25内部の欠陥層26での割れが発生す

ることに基づくものである。これにて、貼合せ基板25の欠陥層26上に設けられていた単結晶薄膜層25aが剥離されてベース基板22の表面側にいわば転写された如き形態となり、ベース基板22上に絶縁膜23を介して、単結晶半導体層24（単結晶薄膜層25a）を有した半導体基板21が得られるのである。

【0029】引続き、工程P4では、得られた半導体基板21に対して、例えば1000°C～1200°Cの温度にて高温アニール処理が実行される。これにて、剥離面の結合が強化されると共に、欠陥回復、表面酸化物の除去、及びシリコン流動に伴う部分平坦化等が図られるのである。さらに、工程P5にて、図1（d）に示すように、得られた半導体基板21及び単結晶薄膜層25aが剥離された貼合せ基板25の表面（剥離面）に対する表面研磨が実行される。これにて、剥離面の微細な凹凸が除去されるのである。

【0030】このようにして製造された半導体基板21においては、ベース基板22が単結晶半導体層24より品質の劣るものであっても、単結晶半導体層24を支持する役割を十分に果たすことができ、また、貼合せによるものであるから、ベース基板22に含まれている不純物等が単結晶半導体層24側に悪影響を及ぼすといったこともない。特に本実施例では、ベース基板22と単結晶半導体層24（貼合せ基板25）とは同等の熱膨張率を有する材料（単結晶シリコン）から構成されるので、熱処理を伴う工程における反り等の発生を未然に防止することができる。

【0031】ここで、上記のような半導体基板21を大量生産する場合には、上記工程P1～P5が繰返されるのであるが、このとき、剥離工程を経た貼合せ基板25は、それ以降の半導体基板21の製造に繰返して使用される。即ち、図1（e）に示すように、前記貼合せ基板25には、同様にイオン注入により欠陥層26（単結晶薄膜層25a）が形成され、絶縁膜23を有する新たなベース基板22に対して貼合せが行われる。その後、図1（f）に示すように、剥離工程が行われて半導体基板21が得られる。剥離工程を経た貼合せ基板25は、表面の平坦化が行われた後、更に次の半導体基板21の製造に使用されるのである。

【0032】しかして、上記貼合せ基板25は、1回の使用において少なくとも単結晶薄膜層25a（単結晶半導体層24）及び欠陥層26の分だけ厚みが減少（例えば2μm）するので、繰返し使用により次第に厚みが薄くなつて強度が低下していき、遂には使用に耐え得ない程度まで厚みが薄くなつてしてしまうことになる。そこで、本実施例では、図2に示すように、貼合せ基板25が所定厚み（例えば500μm）以下となつたかどうかを判断し、所定厚みを越えていればそのまま次の使用に供され、所定厚み以下となつたとき（言換えれば貼合せ基板25の繰返し使用回数が所定回数に至つたとき）

には、次の工程P6にて、その裏面側に元の貼合せ基板25と同材質（高品質）の新たな単結晶シリコン基板を貼合せにより一体化して新たな貼合せ基板25とすることが行われる。

【0033】この貼合せの工程については、上記工程P2とほぼ同様にして行われるので説明を省略するが、これにより、厚みが薄くなつた古い貼合せ基板25と新しい貼合せ基板25とがいわば継ぎ足された形態となり、厚みの大きい（600μmを越えた）新たな貼合せ基板25として使用することができるようになる。これにて、高品質の単結晶シリコン基板からなる貼合せ基板25を、ほとんど無駄なく使用することができるようになるのである。

【0034】このように本実施例によれば、ベース基板22上に絶縁膜23を介して単結晶半導体層24を有するものにあって、ベース基板22を、単結晶半導体層24よりも品質の劣る言換ればより安価な材料から構成するようにしたので、半導体基板21として安価に製造することができ、この結果、従来のようなベース基板3及び単結晶薄膜層1aの双方が高品質な材料から構成されるものと比べて、大幅なコストダウンを図ることができるという実用上極めて有効な効果を得ることができるものである。

【0035】また、本実施例では、ベース基板22をいわゆるダミーグレードのシリコンウェハから構成したので、貼合せ基板25側との熱膨張率差はなく、熱処理を伴う工程における反り等の発生を未然に防止することができ、しかも本来製品規格外のダミーグレードの単結晶半導体を製品の一部に用いることができ、資源の有効利用を図ることができるものである。

【0036】そして、単結晶半導体層24となるべき高品質な貼合せ基板25は、厚みを少しずつ減少させながら繰返し使用することができるので、比較的高価となる貼合せ基板25を有効に使用することができ、量産性に優れるものである。特に本実施例では、貼合せ基板25が所定厚み以下となつたときには、その裏面側に同材質の単結晶シリコン基板を貼合せて一体化することにより、新たな貼合せ基板25として使用するようにしたので、高価な貼合せ基板25をほとんど無駄なく使用することができるようになり、より一層のコストダウンを図ることができるものである。

【0037】尚、上記単結晶半導体層24を形成するための貼合せ基板25として、例えばシリコンのインゴット（ウェハとしてスライスする前の円柱状のシリコン）や、厚さ数mmまたは数cmの厚い単結晶シリコンを用いても良い。これによれば、上記実施例における、貼合せ基板25が所定厚み以下となつたときに実施される貼合せ（継ぎ足し）の回数が低減されるため、コストダウンの効果は大きくなる。

50 【0038】図3は、本発明の他の実施例（請求項4に

対応)を示すものであり、上記実施例と異なる点は、剥離工程P3を経た貼合せ基板25に対する表面処理の工程にある。即ち、剥離工程P3において欠陥層26にて切離された貼合せ基板25は、図3(a)に示すように、表面部に微細な凹凸(欠陥)を有した形態となっており(図では誇張して示している)、また、多少ではあるものの、上記イオン注入時における重金属等の不純物による汚染が生じている。

【0039】そこで、この実施例では、上記貼合せ基板25の表面部に対し、まず、図3(b)に示すように、熱酸化(又は窒化)を行ってシリコン酸化膜27(又はシリコン窒化膜)を形成する。このとき、結晶内の汚染不純物や微小欠陥等がゲッタリングされて、シリコン酸化膜27内に取込まれるようになる。その後、図3(c)に示すように、化学的エッチングもしくはドライエッチングにより、表面のシリコン酸化膜27(又はシリコン窒化膜)を除去することにより、不純物や欠陥が効果的に除去され、また平坦化された表面状態が得られるようになるのである。

【0040】従って、上記した処理を経た貼合せ基板25は、表面の不純物汚染や微小欠陥が極めて少ないものとなり、高品質な状態に回復した上で、次の半導体基板21の製造に供されるようになり、ひいては常に高品質な単結晶半導体層24を形成することができるようになるのである。

【0041】図4は、本発明の異なる他の実施例(請求項6に対応)を示している。この実施例では、貼合せ基板25の表面部に対して、予め、エッチング等によるトレンチ加工を施し、溝28を形成するようしている。この場合、溝28は、単結晶半導体層24を素子形成のために所定の面積の小領域に分離する位置に対応して形成されており、この際のトレンチ加工は、イオン注入深さ以上の深さ、例えば10μmの深さにて行われている。また、溝28は、イオン注入深さ等を均一化するため、内部が絶縁膜29を介して多結晶シリコンの積層膜30により埋め戻されている。

【0042】そして、この状態から、貼合せ基板25の表面にイオン注入がなされて例えば0.5μmの深さ位置に欠陥層26が形成され(図4(a))、その後、図示しないベース基板に対する貼合せ工程、剥離工程等が実行され(図4(b))、表面の研磨工程が実行される(図4(c))。これにて、素子形成領域毎に予め分割された単結晶半導体層24を有する半導体基板(図示せず)が得られるのである。

【0043】一方、貼合せ基板25に対する表面研磨が実行されることにより、前回よりも約1μm程度厚みが薄くなったり、つまり溝28の深さが9μmに減少した貼合せ基板25となり(図4(e))、その後、同様に、イオン注入による欠陥層26の形成(図4(e))以下

の工程が繰返されるのである。2回目の工程でも、やはり素子形成領域毎に予め分割された単結晶半導体層24を有する半導体基板が得られるようになる。

【0044】このようにして、貼合せ基板25に対する1回の溝28の加工につき、予め分割された単結晶半導体層24(半導体基板)が10枚得られるようになる。従って、この実施例によれば、貼合せ基板からの分離後に単結晶半導体層に1枚ずつエッチング加工を施す場合に比べて、エッチング処理等の回数を大幅に削減することができ、工程の簡素化を図ることができるものである。

【0045】尚、上記した各実施例では、ベース基板22として、抵抗値が製品規格から外れたいわゆるダメージグレードのシリコンウェハを採用したが、その他にも、LSI製造工場や研究所等で、製造装置や試験装置の調整、検査等管理を目的として消費された後の廃棄されるべきウェハや、出荷前の検査等で不合格となったり、工程途中で何らかの原因でロットアウトとなったウェハ等も用いることができる。これらウェハは、洗浄、エッチング、表面研磨等の工程を経て表面を清浄にした上で使用することができ、さらには、それらウェハの清浄化のために水素イオン注入により表面を剥離する技術を用いることもできる。

【0046】その他、本発明は上記した実施例に限定されるものではなく、例えばベース基板の材質としてはセラミック基板や石英基板などであっても良い。また、上述のようにイオン注入に用いるガスとしても種々のものが採用でき、この場合、用いたイオンの種類等によって適切な剥離温度等が異なってくる。さらには、ベース基板や貼合せ基板の材質により各工程における適切な処理温度等が異なってくることも勿論である。各部の厚み寸法等も一例に過ぎない等、要旨を逸脱しない範囲内で適宜変更して実施し得るものである。

【図面の簡単な説明】

【図1】本発明の一実施例を示すもので、製造工程における様子を順に示す模式的な縦断面図

【図2】半導体基板の製造工程を概略的に示す図

【図3】本発明の他の実施例を示すもので、剥離工程を経た貼合せ基板に対する表面処理の手順を示す模式的な縦断面図

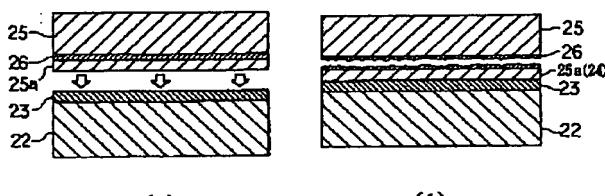
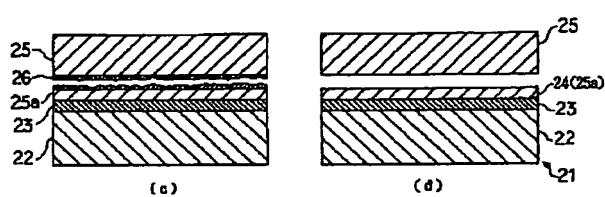
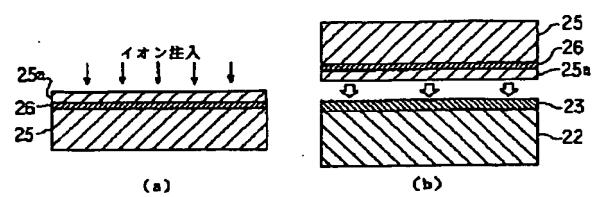
【図4】本発明の異なる他の実施例を示すもので、貼合せ基板に対する処理の様子を順に示す模式的な縦断面図

【図5】従来例を示す図1相当図

【符号の説明】

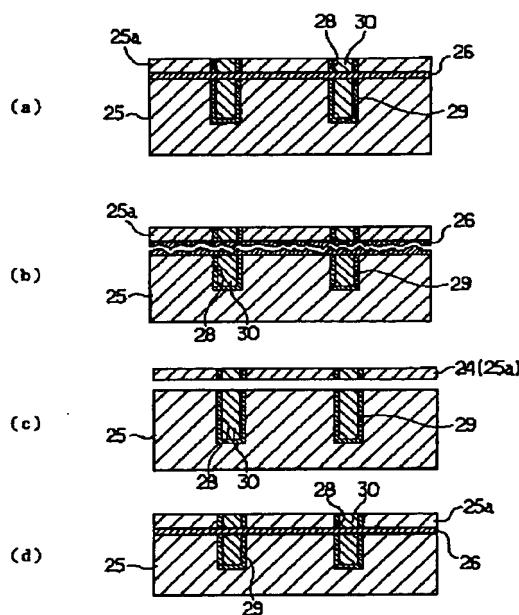
図面中、21は半導体基板、22はベース基板、23は絶縁膜、24は単結晶半導体層、25は貼合せ基板、25aは単結晶薄膜層、26は欠陥層、27はシリコン酸化膜を示す。

【図1】

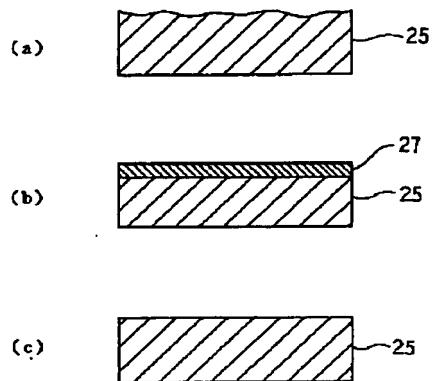


21:半導体基板
22:ベース基板
25:結合せん基板
26:欠陥層

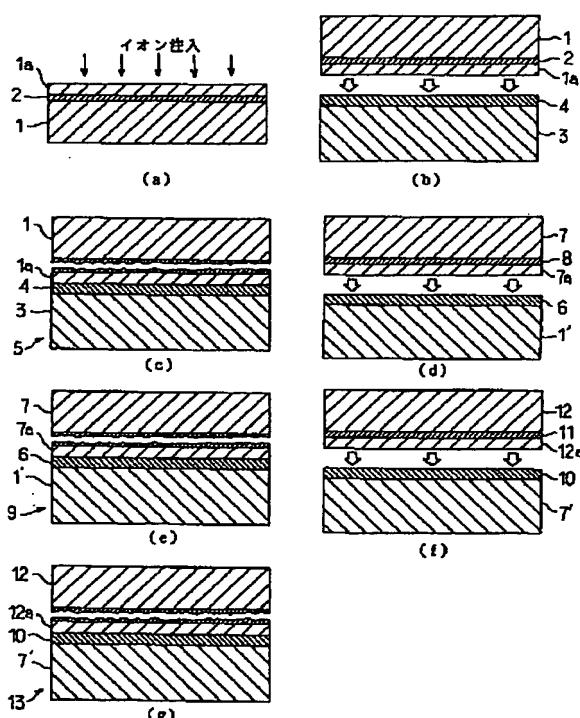
【図4】



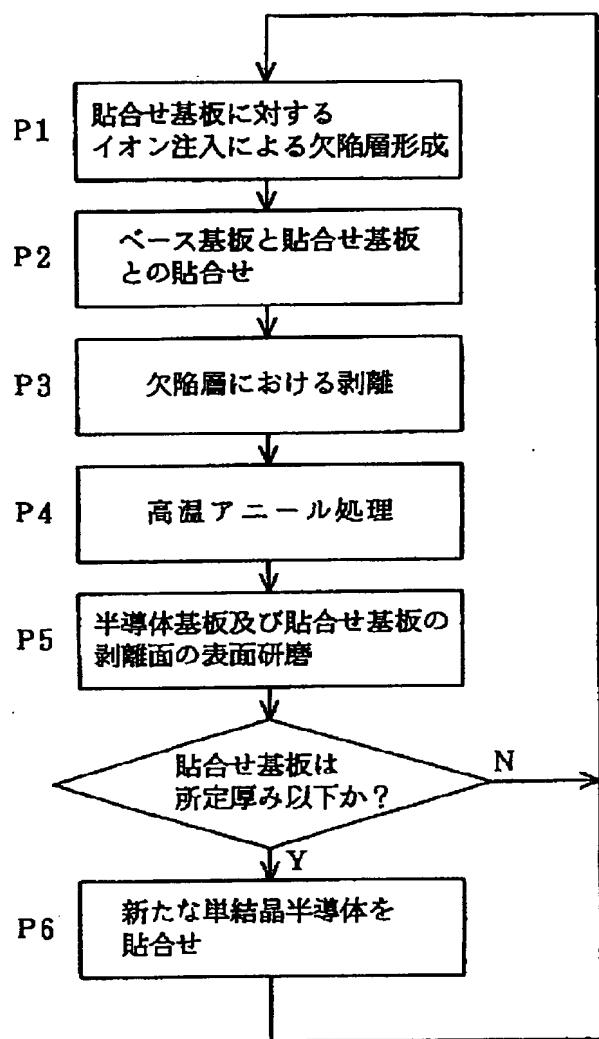
【図3】



【図5】



【図2】



フロントページの続き

(72)発明者 大島 久純
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72)発明者 大岡 忠雄
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72)発明者 山中 昭利
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-040786
 (43)Date of publication of application : 12.02.1999

(51)Int.CI.

H01L 27/12
 H01L 21/265

(21)Application number : 09-194163

(22)Date of filing : 18.07.1997

(71)Applicant : DENSO CORP

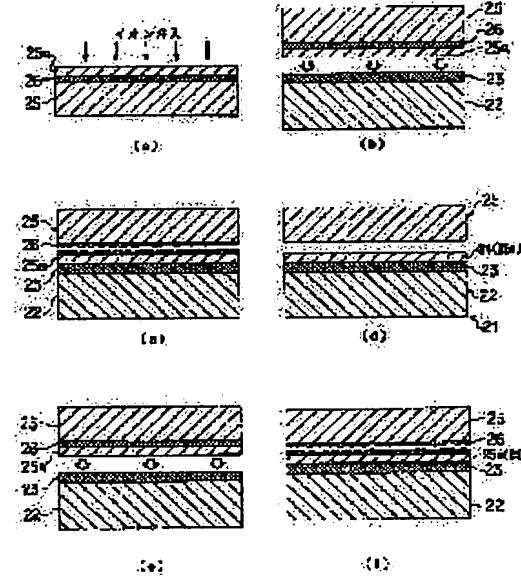
(72)Inventor : ONODA KUNIHIRO
 YAMAUCHI SHOICHI
 MATSUI MASAKI
 OSHIMA HISAZUMI
 OOKA TADAO
 YAMANAKA AKITOSHI

(54) SEMICONDUCTOR SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To sufficiently reduce the cost of a semiconductor substrate where a single crystal semiconductor layer is provided on a base substrate.

SOLUTION: By injecting the ions of hydrogen gas into a lamination substrate 25 consisting of a high-quality single crystal silicon substrate, a defective layer 26 for releasing is formed on the surface while a single crystal thin-film layer 25a is secured. Then, the lamination substrate 25 is laminated to a base substrate 22 consisting of a single crystal silicon substrate with poorer quality than the lamination substrate 25 via an insulation film 23 and is successively released by the defective layer 26. After that, a high-temperature annealing and the surface polishing of the release surface are performed, thus obtaining a semiconductor substrate 21 with a single crystal semiconductor layer 24 on the base substrate 22 via the insulation film 23. The lamination substrate 25 through a release process is repeatedly used by flattening the surface and a new single crystal silicon with the same material is laminated to form the new lamination substrate 25 when the thickness is reduced to a specific value or less.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semi-conductor substrate characterized by coming to prepare the single crystal half conductor layer for component formation (24) by lamination on a base substrate (22) through an insulator layer (23), and said base substrate (22) consisting of an ingredient in which quality is inferior to said single crystal half conductor layer (24).

[Claim 2] Said base substrate (22) is a semi-conductor substrate according to claim 1 characterized by resistance consisting of a single crystal semiconductor which separated from product specification.

[Claim 3] It is an approach for manufacturing the semi-conductor substrate (21) which comes to prepare the single crystal half conductor layer for component formation (24) on a base substrate (22) through an insulator layer (23). By performing an ion implantation in the predetermined depth of the surface section of the lamination substrate (25) which consists of a single crystal semiconductor The defective layer formation process which forms the defective layer for exfoliation (26) in the condition of having secured the single crystal thin film layer (25a) which should turn into a single crystal half conductor layer (24) to the surface section of this lamination substrate (25) (P1), As opposed to the base substrate (22) which consists of an ingredient in which quality is inferior to said lamination substrate (25) An insulator layer (23) is minded for the lamination substrate (25) with which said single crystal thin film layer (25a) was formed on the front face of the single crystal thin film layer (25a). A lamination ***** process (P2), The manufacture approach of the semi-conductor substrate characterized by repeating and using the lamination substrate (25) which passed through said exfoliation process while including the exfoliation process (P3) which separates the lamination substrate (25) ***** (ed) on said base substrate (22) in said defective layer (26).

[Claim 4] The manufacture approach of the semi-conductor substrate according to claim 3 characterized by performing the process which performs thermal oxidation or nitriding, forms an oxide film (27) or a nitride to the surface section of a lamination substrate (25) which passed through said exfoliation process, and removes the oxide film (27) or nitride by etching after that.

[Claim 5] The manufacture approach of the semi-conductor substrate according to claim 3 or 4 characterized by using the single crystal semiconductor of this quality of the material as a new lamination substrate (25) by changing lamination ***** when said lamination substrate (25) becomes below predetermined thickness.

[Claim 6] The manufacture approach of the semi-conductor substrate according to claim 3 to 5 characterized by processing the depth more than the ion-implantation depth beforehand by etching etc. to the surface section of said lamination substrate (25).

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semi-conductor substrate which comes to prepare a single crystal half conductor layer at an insulating condition with the base substrate and its manufacture approach for component formation on a base substrate.

[0002]

[Problem(s) to be Solved by the Invention] There is a SOI (Silicon On Insulator) substrate constituted by preparing a silicon single crystal layer through an insulator layer as this kind of a semi-conductor substrate for example, on a silicon substrate. As an approach for manufacturing this SOI substrate, the manufacture approach (approach called the "proton slice" in these people) using lamination as shown in JP,5-211128,A is proposed.

[0003] pass three phases (process) by this approach to be shown in drawing 5 -- a SOI substrate is manufactured. That is, in the 1st step, as shown in drawing 5 (a), as opposed to the 1st silicon substrate 1 which consists of a silicon single crystal substrate, hydrogen gas is ionized, the process accelerated and poured in with predetermined impregnation energy is performed, and the defective layer 2 is formed now in the predetermined depth location of the 1st silicon substrate 1. In this case, the layer of the upper part of the defective layer 2 is set to silicon single crystal thin film layer 1a to obtain finally among the 1st silicon substrate 1.

[0004] In the following step [2nd], as shown in drawing 5 (b), where vertical reversal of the 1st silicon substrate 1 of the above is carried out, lamination ***** is performed on the top face of the base substrate 3 which consists of a silicon single crystal substrate. At this time, the insulator layer 4 which consists of an oxide film beforehand is formed in the front face of said base substrate 3. And in the 3rd step, as shown in drawing 5 (c), the process which makes silicon single crystal thin film layer 1a exfoliate along with the defective layer 2 by heat treatment from said 1st silicon substrate 1 is performed.

[0005] It becomes the gestalt by which silicon single crystal thin film layer 1a was ***** (ed) now through the insulator layer 4 on the base substrate 3, and the SOI substrate 5 which has high silicon single crystal thin film layer 1a of quality is obtained by grinding a stripped plane. On the other hand, as shown in drawing 5 (d), flattening of the front face is carried out, an insulator layer (oxide film) 6 is formed and the 1st silicon substrate 1 in which silicon single crystal thin film layer 1a exfoliated is made into following base substrate 1'. And where silicon single crystal thin film layer 7a is secured like the above, after the defective layer 8 is formed to the 2nd silicon substrate 7 which consists of a new silicon single crystal substrate, as the lamination and exfoliation to base substrate 1' are performed and it is shown in drawing 5 (e), the SOI substrate 9 which has silicon single crystal thin film layer 7a is obtained.

[0006] Furthermore, flattening of the front face is carried out, an insulator layer (oxide film) 10 is formed and the 2nd silicon substrate 7 in which silicon single crystal thin film layer 7a exfoliated is made into following base substrate 7'. And lamination **** exfoliation is performed for the 3rd silicon substrate 12 in which it became from a new silicon single crystal substrate, and the defective layer 11 was formed similarly to base substrate 7', and the SOI substrate 13 which has silicon single crystal thin film layer 12a is obtained (refer to drawing 5 (f) and (g)).

[0007] Thus, silicon substrates 1, 7, and 12 can be used without futility by repeating manufacture, making into next base substrate 1' and 7' the silicon substrates 1 and 7 in which the silicon single crystal thin film layers 1a and 7a exfoliated one by one. In this case, the curvature produced according to the difference of coefficient of thermal expansion during heat treatment can be beforehand prevented by constituting a base substrate and a

silicon substrate (silicon single crystal thin film layer) from an equivalent ingredient.

[0008] However, since the quality of the material of the base substrate 3, 1', and 7' and the quality of the material of the silicon single crystal thin film layers 1a, 7a, and 12a prepared in the top face both consisted of a quality silicon single crystal although silicon substrates 1, 7, and 12 can be used without futility if it is in the SOI substrates 5, 9, and 13 manufactured by the above-mentioned conventional approach, it was not so [in cost] advantageous. In this conventional kind of semi-conductor substrate (SOI substrate), there is a situation of being expensive and a large cost cut is demanded.

[0009] This invention was made in view of the above-mentioned situation, and the purpose is one of those which come to prepare a single crystal half conductor layer on a base substrate, and is to offer the semi-conductor substrate which can aim at sufficient cost cut, and its manufacture approach.

[0010]

[Means for Solving the Problem] The semi-conductor substrate of this invention is one of those which come to prepare the single crystal half conductor layer for component formation by lamination on a base substrate through an insulator layer, and it has the description at the place which constituted said base substrate from an ingredient in which quality is inferior to said single crystal half conductor layer (invention of claim 1).

[0011] If it is in the semi-conductor substrate which comes to prepare the single crystal half conductor layer for component formation by lamination on a base substrate through an insulator layer here Since it is not necessary to be the ingredient of high quality and, and is prepared in order that a base substrate may not participate in component formation but may support a single crystal half conductor layer and is based on lamination, the quality of the material of a base substrate has not said that effect is done and the quality is reduced to a single crystal half conductor-layer side.

[0012] Therefore, according to the semi-conductor substrate of claim 1 of this invention, since in other words it consists of cheaper ingredients, a base substrate can acquire the practically very effective effectiveness that a large cost cut can be aimed at, compared with the thing in which quality is inferior to a single crystal half conductor layer, which can be finished cheaply consequently by which the both sides of a base substrate like before and a single crystal thin film layer are constituted from a quality ingredient.

[0013] In this case, resistance can constitute said base substrate from a single crystal semiconductor which separated from product specification (semi-conductor substrate of claim 2). According to this, a base substrate can be constituted from a cheap ingredient, a base substrate and a single crystal half conductor layer (lamination substrate) can be constituted from an ingredient which has an equivalent coefficient of thermal expansion with this, and generating of the curvature in heat treatment etc. can be beforehand prevented now. Moreover, the single crystal semiconductor of product substandard can be used for some products, and effective use of a resource can be aimed at.

[0014] And the manufacture approach of the semi-conductor substrate of this invention is an approach for manufacturing the semi-conductor substrate which comes to prepare the single crystal half conductor layer for component formation on a base substrate through an insulator layer. By performing an ion implantation in the predetermined depth of the surface section of the lamination substrate which consists of a single crystal semiconductor The defective layer formation process which forms the defective layer for exfoliation in the condition of having secured the single crystal thin film layer which should turn into a single crystal half conductor layer to the surface section of this lamination substrate, An insulator layer is minded for the lamination substrate with which said single crystal thin film layer was formed on the front face of the single crystal thin film layer to the base substrate which consists of an ingredient in which quality is inferior to said lamination substrate. A lamination ***** process, While including the exfoliation process which separates the lamination substrate ***** (ed) on said base substrate in said defective layer, it has the description at the place which repeats and uses the lamination substrate which passed through said exfoliation process (invention of claim 3).

[0015] According to this, in a defective layer formation process, the single crystal thin film layer of the gestalt divided into the surface section of a lamination substrate by the defective layer is formed, and it sets at a lamination process. A lamination substrate is ***** (ed) on the front face of the single crystal thin film layer to the base substrate which consists of an ingredient in which quality is inferior to the lamination substrate, and a single crystal thin film layer comes to be separated from a lamination substrate in a defective layer in an exfoliation process. Now it has and the semi-conductor substrate which has a single crystal half conductor layer

by said single crystal thin film layer being separated from a lamination substrate on the base substrate in which quality is inferior, and which in other words consists of a cheaper ingredient is obtained.

[0016] Therefore, according to the manufacture approach of the semi-conductor substrate of claim 3 of this invention, the outstanding practical effectiveness that the semi-conductor substrate which comes to prepare a single crystal half conductor layer on a base substrate can be manufactured cheaply is done so. And since use is repeatedly presented with the lamination substrate with which the single crystal thin film layer was separated, a quality lamination substrate can be used for it, repeating it repeatedly, and the lamination substrate which becomes comparatively expensive can be effectively used for it, and it is excellent in mass-production nature.

[0017] In this case, since detailed irregularity (defect) etc. has arisen, in case it is used repeatedly, it is necessary to carry out flattening of the front face, but the surface section of a lamination substrate which passed through said exfoliation process will become more effective if the process which performs thermal oxidation or nitriding, forms an oxide film or a nitride to the surface section of a lamination substrate at this time, and removes that oxide film or nitride by etching after that is performed (invention of claim 4). According to this, by forming an oxide film or a nitride in the surface section of a lamination substrate, gettering of a contamination impurity, a minute defect, etc. in a crystal is carried out, and the surface state by which impurity contamination and a defect were removed effectively comes to be acquired by removing the oxide film or nitride.

[0018] moreover -- up to extent which thickness becomes thin gradually by repetition use, and reinforcement falls, and cannot bear the above-mentioned lamination substrate at last at ***** since thickness decreases at least in one use only in the part of a single crystal thin film layer (single crystal half conductor layer) and a defective layer -- thickness -- thin -- becoming -- carrying out -- **** -- it becomes things. So, when a lamination substrate becomes below predetermined thickness, the single crystal semiconductor of this quality of the material can be used for the rear-face side as a new lamination substrate by changing lamination ***** (invention of claim 5). According to this, a lamination substrate can be used now that there is almost no futility, and much more cost cut can be aimed at.

[0019] By the way, although dividing a single crystal half conductor layer into the small field of a predetermined area for component formation is performed if it is in this seed semi-conductor substrate, in order to have to perform etching processing for every one semi-conductor substrate, the count of processing will increase in what performs etching processing to a single crystal half conductor layer after dissociating from a lamination substrate. Then, the depth more than the ion-implantation depth can be beforehand processed by etching etc. to the surface section of a lamination substrate (invention of claim 6). According to this, by performing an exfoliation process, the single crystal half conductor layer [finishing / processing] of etching etc. can already be obtained, and processing to two or more semi-conductor substrates can be beforehand performed now by one processing to a lamination substrate by processing the depth for two or more sheets of a single crystal half conductor layer beforehand to a lamination substrate.

[0020]

[Embodiment of the Invention] One example (it corresponds to claims 1, 2, 3, and 5) which applied this invention to manufacture of the SOI (Silicon On Insulator) substrate which prepared the silicon single crystal layer through the insulator layer on the silicon substrate hereafter is explained referring to drawing 1 and drawing 2 R> 2.

[0021] First, as shown in drawing 1 (d) etc., on the base substrate 22 which consists of a single crystal silicon substrate (silicon wafer), through the insulator layer 23 which consists of silicon oxide, the semi-conductor substrate (SOI substrate) 21 concerning this example has the single crystal half conductor layer 24 for component formation which consists of a silicon single crystal, and is constituted. This semi-conductor substrate 21 is manufactured by the approach of mentioning later.

[0022] At this time, the single crystal half conductor layer 24 for said component formation consists of quality silicon single crystals, on the other hand said base substrate 22 consists of ingredients in which quality is inferior to said single crystal half conductor layer 24. In this case, what resistance is called the dummy grade from which it separated from product specification is used for the base substrate 22 in the manufacture process of a silicon wafer, and the silicon wafer of this dummy grade is marketed with half-the-sum extent of the product of normal. In addition, the thickness dimension of said single crystal half conductor layer 24 is set to 1 micrometer.

[0023] Now, order is described later on below about the manufacture approach of the above-mentioned semi-conductor substrate 21. Drawing 2 shows roughly the process of manufacture of the semi-conductor substrate 21 concerning this example. That is, at a process P1, the defective layer formation process to the lamination substrate 25 (refer to drawing 1) is performed first. This lamination substrate 25 consists of a quality single crystal silicon substrate (silicon wafer) of normal, and the thickness dimension is set to about 600 micrometers in the state of the first stage. At this process P1, as shown in drawing 1 (a), ionizing hydrogen gas in that surface section, and accelerating and pouring into it with predetermined impregnation energy to the lamination substrate 25, is performed.

[0024] Now, the defective layer 26 for exfoliation is formed in the predetermined depth location (for example, location of a front face to 1 micrometer) of the lamination substrate 25 with impregnation ion. Moreover, thin single crystal thin film layer 25a (it becomes the single crystal half conductor layer 24 behind) which becomes the surface section from a silicon single crystal will be formed in the gestalt divided by said defective layer 26 among the lamination substrates 25. In addition, as an ingredient used for said ion implantation, rare gas, such as helium and neon, fluorine gas, chlorine gas, etc. are employable besides hydrogen gas.

[0025] Moreover, although illustration has not been carried out at this time, the oxide film for preventing the contamination at the time of an ion implantation as much as possible is formed in the front face of the lamination substrate 25, and an ion implantation is performed through that oxide film. After the defective layer 26 is formed of an ion implantation, the oxide film is removed by the chemical etching by HF water solution etc.

[0026] At a process P2, a lamination ***** process is performed in the lamination substrate 25 to the above-mentioned base substrate (silicon substrate) 22. At this process P2, as shown in drawing 1 (b), the insulator layer (oxide film) 23 is beforehand formed in the front face of the base substrate 22 by the depositing methods, such as thermal oxidation, or PVD, CVD, and mirror polishing is made. It pastes up to this base substrate 22 on the front face in the condition, i.e., single crystal thin film layer 25a, that vertical reversal of the lamination substrate 25 was carried out with drawing 1 (a).

[0027] As everyone knows, after performing washing and pure-water washing of 4:1 by the mixed solution of a sulfuric acid and hydrogen peroxide solution one by one on the occasion of this lamination as opposed to the front face of said base substrate 22 and the lamination substrate 25, the amount of adsorption moisture is controlled by spin desiccation, and a lamination side is stuck. This pastes up the base substrate 22 and the lamination substrate 25 by the hydrogen bond of the silanol group formed in the lamination side, and the water molecule which stuck to the front face. Although illustration is not carried out now, it unites with the gestalt by which the laminating of the bulk parts of single crystal thin film layer 25a, the defective layer 26, and the lamination substrate 25 was carried out through the insulator layer 23 on the base substrate 22.

[0028] At the following process P3, the exfoliation process which separates the lamination substrate 25 ***** (ed) by the base substrate 22 in said defective layer 26 is performed. By performing 500-degree C elevated-temperature heat treatment, this process P3 is based on the crack in the defective layer 26 of the lamination substrate 25 interior occurring, as shown in drawing 1 (c). It becomes the **** gestalt which single crystal thin film layer 25a prepared on the defective layer 26 of the lamination substrate 25 exfoliated, and was imprinted now so to speak at the front-face side of the base substrate 22, and the semi-conductor substrate 21 with the single crystal half conductor layer 24 (single crystal thin film layer 25a) is obtained through an insulator layer 23 on the base substrate 22.

[0029] Then, in a process P4, elevated-temperature annealing treatment is performed at the temperature of 1000 degrees C - 1200 degrees C as opposed to the obtained semi-conductor substrate 21. While association of a stripped plane is strengthened with this, partial flattening accompanying defective recovery, removal of a scaling object, and a silicon flow etc. is attained. Furthermore, as a process P5 shows to drawing 1 (d), surface polish to the front face (stripped plane) of the lamination substrate 25 with which the semi-conductor substrate 21 and single crystal thin film layer 25a which were obtained exfoliated is performed. Now, the detailed irregularity of a stripped plane is removed.

[0030] Thus, in the manufactured semi-conductor substrate 21, since the role which supports the single crystal half conductor layer 24 can fully be played and it is based on lamination even if quality is inferior to the single crystal half conductor layer 24 in the base substrate 22, it has not been said that the impurity contained in the base substrate 22 has a bad influence on the single crystal half conductor-layer 24 side. In this example, since it

consists of ingredients (single crystal silicon) which have coefficient of thermal expansion especially with equivalent base substrate 22 and single crystal half conductor layer 24 (lamination substrate 25), generating of the curvature in the process accompanied by heat treatment etc. can be prevented beforehand.

[0031] Here, although the above-mentioned processes P1-P5 are repeated when mass-producing the above semi-conductor substrates 21, the lamination substrate 25 which passed through the exfoliation process is repeatedly used for manufacture of the semi-conductor substrate 21 after it at this time. That is, as shown in drawing 1 (e), the defective layer 26 (single crystal thin film layer 25a) is similarly formed in said lamination substrate 25 of an ion implantation, and lamination is performed to it to the new base substrate 22 which has an insulator layer 23. Then, as shown in drawing 1 (f), an exfoliation process is performed and the semi-conductor substrate 21 is obtained. The lamination substrate 25 which passed through the exfoliation process is further used for manufacture of the following semi-conductor substrate 21, after surface flattening is performed.

[0032] up to extent which carries out a deer, and thickness becomes thin gradually by repetition use, and reinforcement falls, and cannot bear the above-mentioned lamination substrate 25 at last at ***** since thickness decreases at least in one use only in the part of single crystal thin film layer 25a (single crystal half conductor layer 24) and the defective layer 26 (for example, 2 micrometers) -- thickness -- thin -- becoming -- carrying out -- **** -- it becomes things. So, in this example, as shown in drawing 2 , it judges whether the lamination substrate 25 became below predetermined thickness (for example, 500 micrometers). When it was over predetermined thickness, and the next use is presented as it is and it becomes below predetermined thickness, (when in other words the repetition use count of the lamination substrate 25 results in the count of predetermined) Uniting the original lamination substrate 25 and the new single crystal silicon substrate of this quality of the material (high quality) with the rear-face side by lamination, and considering as the new lamination substrate 25 at the following process P6, is performed.

[0033] Although explanation is omitted since it is carried out almost like the above-mentioned process P2 about the process of this lamination, the old lamination substrate 25 with which thickness became thin, and the new lamination substrate 25 serve as a gestalt added so to speak by this, and it can be used as a new lamination substrate 25 with large (600 micrometers was exceeded) thickness. The lamination substrate 25 which consists of a single crystal silicon substrate of high quality now can be used now that there is almost no futility.

[0034] Thus, according to this example, it is in some which have the single crystal half conductor layer 24 through an insulator layer 23 on the base substrate 22. in the base substrate 22, quality is inferior to the single crystal half conductor layer 24, since it was made in other words to constitute from a cheaper ingredient It compares with the thing which can be cheaply manufactured as a semi-conductor substrate 21 consequently by which the both sides of a base substrate 3 like before and single crystal thin film layer 1a are constituted from a quality ingredient. The practically very effective effectiveness that a large cost cut can be aimed at can be acquired.

[0035] Moreover, in this example, since the base substrate 22 was constituted from so-called silicon wafer of dummy grade, there is no coefficient-of-thermal-expansion difference by the side of the lamination substrate 25, it can prevent beforehand generating of the curvature in the process accompanied by heat treatment etc., moreover originally can use the single crystal semiconductor of the dummy grade of product substandard for some products, and can aim at a deployment of a resource.

[0036] And since the quality lamination substrate 25 which should serve as the single crystal half conductor layer 24 can be used repeatedly, decreasing thickness little by little, the lamination substrate 25 which becomes comparatively expensive can be effectively used for it, and it is excellent in mass-production nature. To the rear-face side, when the lamination substrate 25 especially becomes below predetermined thickness by this example, since it was made to use it as a new lamination substrate 25 by changing, the expensive lamination substrate 25 can be used now that there is almost no futility, and much more cost cut can be aimed at for the single crystal silicon substrate of this quality of the material lamination *****.

[0037] In addition, the ingot (silicon of the shape of a cylinder before slicing as a wafer) of silicon, and several mm in thickness and several cm thick single crystal silicon may be used as a lamination substrate 25 for forming the above-mentioned single crystal half conductor layer 24. Since the count of the lamination (extension) carried out when the lamination substrate 25 in the above-mentioned example becomes below predetermined thickness is reduced according to this, the effectiveness of a cost cut becomes large.

[0038] A point which drawing 3 shows other examples (it corresponds to claim 4) of this invention, and is

different from the above-mentioned example is in the process of surface treatment over the lamination substrate 25 which passed through the exfoliation process P3. That is, as the lamination substrate 25 separated in the defective layer 26 in the exfoliation process P3 be shown in drawing 3 (a), it be a gestalt with detailed irregularity (defect) at the surface section (it exaggerate by a diagram and shown), and contamination by impurities, such as heavy metal at the time of the above-mentioned ion implantation of what be some, have arisen.

[0039] So, in this example, to the surface section of the above-mentioned lamination substrate 25, first, as shown in drawing 3 (b), it oxidizes thermally (or nitriding) and silicon oxide 27 (or silicon nitride) is formed. At this time, gettering of a contamination impurity, a minute defect, etc. in a crystal is carried out, and they come to be incorporated in silicon oxide 27. Then, as shown in drawing 3 (c), the surface state to which the impurity and the defect were effectively removed by chemical etching or dry etching, and flattening was carried out by removing surface silicon oxide 27 (or silicon nitride) comes to be acquired.

[0040] Therefore, after surface impurity contamination and a surface minute defect became very few things and recovering in the quality condition, manufacture of the following semi-conductor substrate 21 can come to be presented with the lamination substrate 25 which passed through the above-mentioned processing, as a result it can form now the always quality single crystal half conductor layer 24.

[0041] Drawing 4 shows other examples (it corresponds to claim 6) from which this invention differs. He performs trench processing by etching etc. and is trying to form a slot 28 beforehand to the surface section of the lamination substrate 25 in this example. In this case, the slot 28 is formed corresponding to the location divided into the small field of a predetermined area for component formation of the single crystal half conductor layer 24, and trench processing in this case is performed in the depth more than the ion-implantation depth, for example, a depth of 10 micrometers. Moreover, in order that a slot 28 may equalize the ion-implantation depth etc., the interior is returned by the cascade screen 30 of polycrystalline silicon through the insulator layer 29.

[0042] And from this condition, an ion implantation is made on the front face of the lamination substrate 25, for example, the defective layer 26 is formed in the depth location of 0.5 micrometers (drawing 4 (a)), a lamination process, an exfoliation process, etc. over the base substrate which is not illustrated are performed after that (drawing 4 (b)), and a surface polish process is performed (drawing 4 (c)). The semi-conductor substrate (not shown) which has the single crystal half conductor layer 24 beforehand divided now for every component formation field is obtained.

[0043] On the other hand, by performing surface polish to the lamination substrate 25, about 1 micrometer of thickness became thin rather than last time, that is, it becomes the lamination substrate 25 with which the depth of a slot 28 decreased to 9 micrometers (drawing 4 (c)), and the process below formation (drawing 4 (e)) of the defective layer 26 by the ion implantation is repeated similarly after that. The semi-conductor substrate which has the single crystal half conductor layer 24 into which even the 2nd process was too divided beforehand for every component formation field comes to be obtained.

[0044] Thus, ten single crystal half conductor layers 24 (semi-conductor substrate) divided beforehand come to be obtained about one processing of a slot 28 to the lamination substrate 25. Therefore, according to this example, compared with the case where it performs one etching processing at a time to a single crystal half conductor layer after dissociating from a lamination substrate, counts, such as etching processing, can be reduced sharply and simplification of a process can be attained.

[0045] In addition, although resistance adopted the silicon wafer of the so-called dummy grade which separated from product specification as a base substrate 22 in each above-mentioned example In addition, it can become a rejection by the wafer with which it should be discarded at an LSI plant, a lab, etc. after being consumed for the purpose of managements, such as adjustment of a manufacturing installation and a testing device and inspection, the inspection before shipment, etc., or the wafer which became lot out by a certain cause in the middle of the process can be used. These wafers can be used after making a front face into clarification through processes, such as washing, etching, and surface polish, and the technique which exfoliates a front face by hydrogen ion impregnation for defecation of these wafers can also be used further.

[0046] In addition, this invention may not be limited to the above-mentioned example, and may be a ceramic substrate, a quartz substrate, etc. as the quality of the material of a base substrate. Moreover, the various things also as gas used for an ion implantation as mentioned above can be adopted, and suitable exfoliation temperature etc. changes with classes of ion used in this case etc. Furthermore, of course, the suitable

processing temperature in each process etc. also changes with quality of the materials of a base substrate or a lamination substrate. Within limits which do not deviate from a summary, it changes suitably that it is only an example etc., and it can enforce the thickness dimension of each part etc. [it]

[Translation done.]

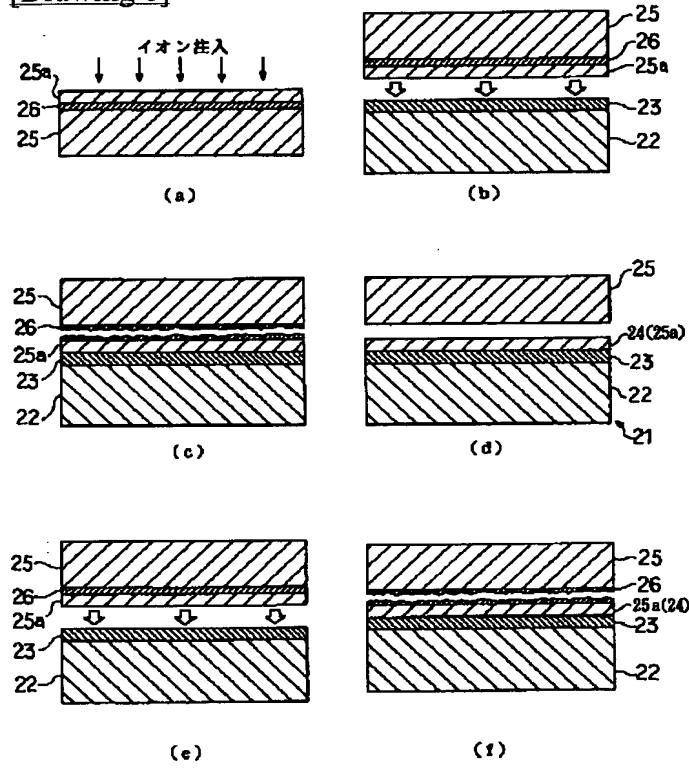
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

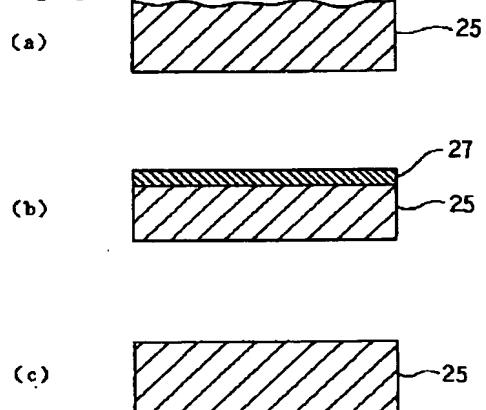
DRAWINGS

[Drawing 1]

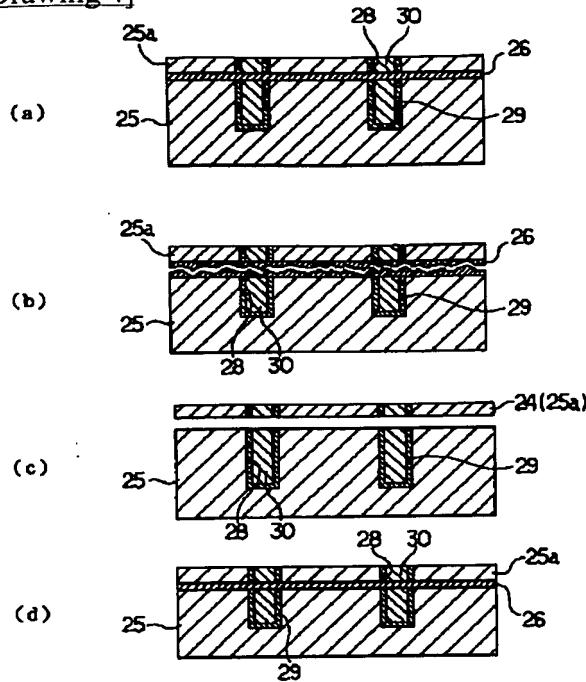


21: 半導体基板
22: ベース基板
23: 絶縁膜
24: 單結晶半導体層
25: 貼合セラミック
26: 欠陥層

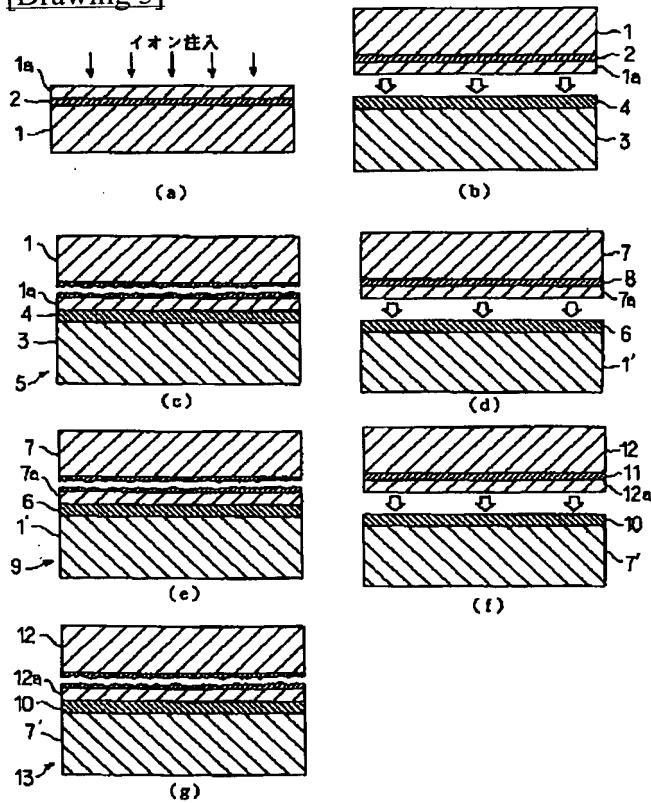
[Drawing 3]



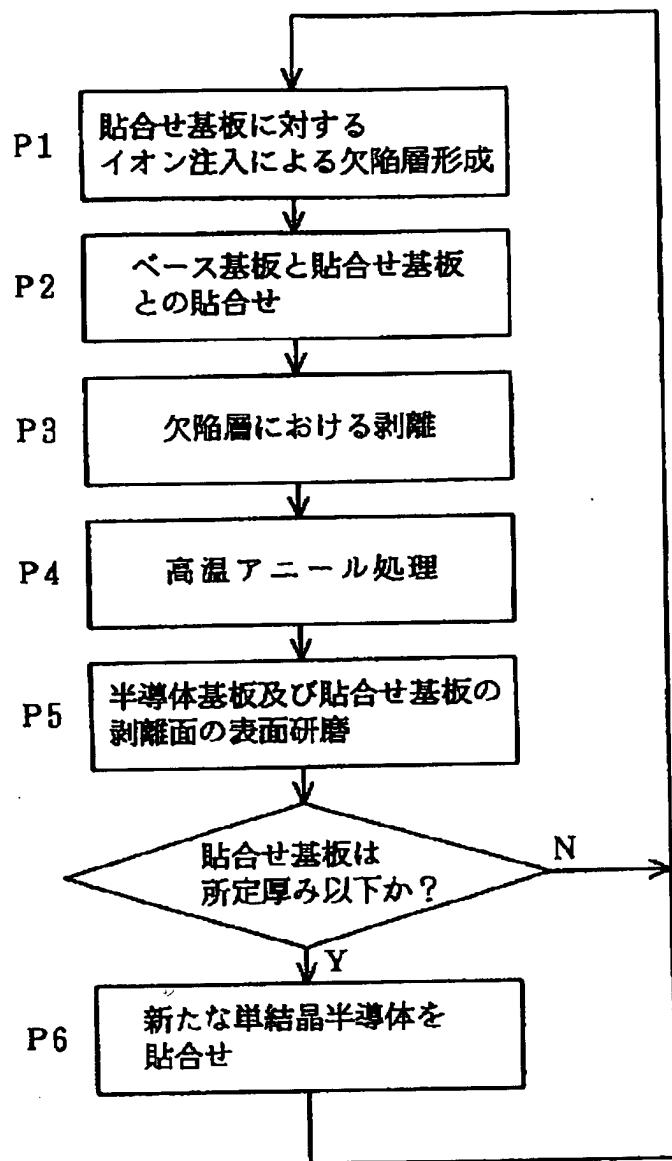
[Drawing 4]



[Drawing 5]



[Drawing 2]



[Translation done.]